

# Synthesizer für FSK-Transmitter

Thomas Sailer, HB2JNX/HB9JNX/AE4WA

## 1 Einleitung

Abbildung 1 zeigt schematisch die Frequenzaufbereitung eines heute üblichen Synthesizer-FSK-Transceivers (z.B. [6]). Die PLL (Phase Locked Loop) besteht aus einem Referenzoszillator, einem Phasenvergleich (PD), einem Loopfilter (LF), einem Voltage Controlled Oszillator (VCO) und einem Dual-Modulus-Teiler ( $:N/(N+1)$ ). Der Modulus Control Block besteht meist aus einem Pulse Swallowing Counter und bestimmt die Mittenfrequenz des Ausgangssignales. Der Hauptteil des Modulationssignales wird direkt in den VCO eingespiessen. Da die PLL nun aber diejenigen spektralen Anteile des Modulationssignales ausgleicht, die in den Durchlassbereich des Loopfilters fallen, wird ein Kompensationssignal in den Referenzoszillator eingespiessen.

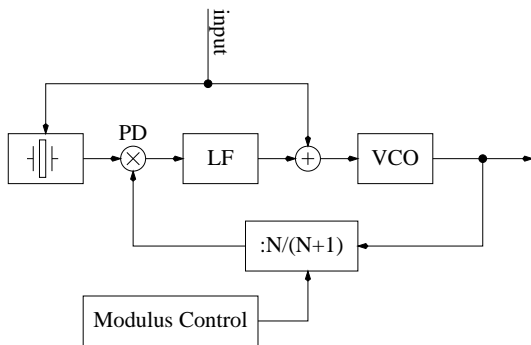


Abbildung 1: Blockdiagramm eines Zweipunkt-Modulators

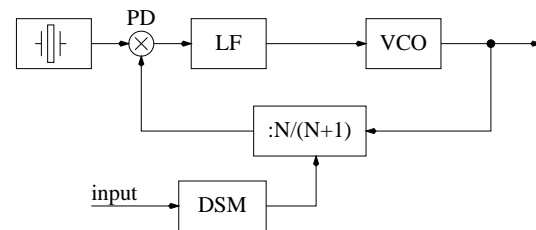


Abbildung 2: Blockdiagramm eines Zweipunkt-Modulators

Das Problem dieser Schaltung liegt nun darin, dass die beiden Zweige des Modulationssignales genau aufeinander abgestimmt sein müssen. Dies betrifft einerseits die Filter, andererseits muss oft ein heikler Abgleich vorgenommen werden. Auch bei gutem Abgleich sind oft noch deutliche Artefakte im Ausgangssignal zu sehen.

Abbildung 2 zeigt nun die hier vorgeschlagene Schaltung. Anstelle der Zuführung des Modulationssignales und der Mittenfrequenz über drei verschiedene Punkte zu realisieren wird hier Modulation und Mittenfrequenz durch Modulation des Dual-Modulus-Teilers eingebracht. Ein breitbandiges Loopfilter sorgt dafür, dass das Modulationssignal die PLL unbeschadet übersteht. Ein angenehmer Nebeneffekt ist die durch das breitbandige Loopfilter schnelle Einschwingzeit der PLL.

Ein  $\Delta\Sigma$ -Modulator sorgt dafür, dass möglichst wenige Artefakte in den Durchlassbereich des Loopfilters fallen.

In diesem Artikel soll eine Schaltung für den Einsatz in Amateurfunk-FSK-Sendern vorgestellt werden. Da die Stückzahlen üblicherweise klein sind, werden nur Komponenten in Betracht gezogen, die auch in Kleinmengen erhältlich sind. ASICs fallen daher von Vorneherein weg.

## 1.1 Verwandte Arbeiten

Die Verwendung von  $\Delta\Sigma$ -Techniken in Sendern scheint langsam beliebt zu werden. Riley et al [11] verwenden einen Modulator zweiter Ordnung, welcher zwar über den ganzen Eingangswertebereich stabil ist, aber nicht die hier benötigte Unterdrückung des Quantisierungsrauschens bieten kann. Ausserdem neigen Modulatoren kleiner Ordnung stärker zu einer toten Zone um 0 herum und zu sogenannten Idle-Tones, d.h. starken diskreten Spektrallinien des Quantisierungsrauschens. Weiter benötigt die Struktur in [11] ein ROM mit vielen Adressbits, was für eine Realisierung in einem FPGA ungeeignet ist.

Thomas E. Stichelbout [13] untersuchte in seiner Dissertation Modulatoren erster und zweiter Ordnung, sowie MASH-Strukturen höherer Ordnung. Konventionelle Modulatoren der Ordnung 3 oder höher mit Einbit-Ausgang sind nicht über den ganzen Eingangssignalebereich stabil. Diesen Nachteil besitzen MASH-Strukturen nicht, diese erfordern jedoch zwingend einen Multibit-Ausgang. Jedoch können auch konventionelle Modulatoren hoher Ordnung mit Multibit-Ausgang über einen weiten Eingangsbereich stabil gemacht werden, wodurch der Vorteil der MASH-Strukturen für diese Anwendung entfällt.

Multibit-Modulatoren könnten mit sog. Multi-Modulus-Teiler (also Teiler mit mehreren Teilfaktoren) realisiert werden. Leider sind solche aber kommerziell nicht in einer für PLL's geeigneten Form erhältlich.

Chris Dick und Fred Harris [3, 4] benutzen  $\Delta\Sigma$ -Techniken zur effizienten Implementation von schmalbandigen Bandpassfiltern auf FPGA's. Sie verwenden  $\Delta\Sigma$ -Modulatoren mit Error-Feedback-Struktur [10]. Das für diese Struktur nötige Prädiktionsfilter kann zwar mit den Methoden für Lineare Stochastische Systeme entworfen werden, doch benötigen diese Filter im Gegensatz zu der hier verwendeten Struktur constant coefficient Multiplier mit der vollen Datenpfadbreite. Ausserdem kann bei der hier verwendeten Struktur die Filterbreite und damit die Präzision vom Eingang zum Quantiser kontinuierlich reduziert werden, was bei der Error-Feedback-Struktur nicht geht.

## 2 Systemarchitektur

Abbildung 3 zeigt ein Blockschaltbild des Systems.

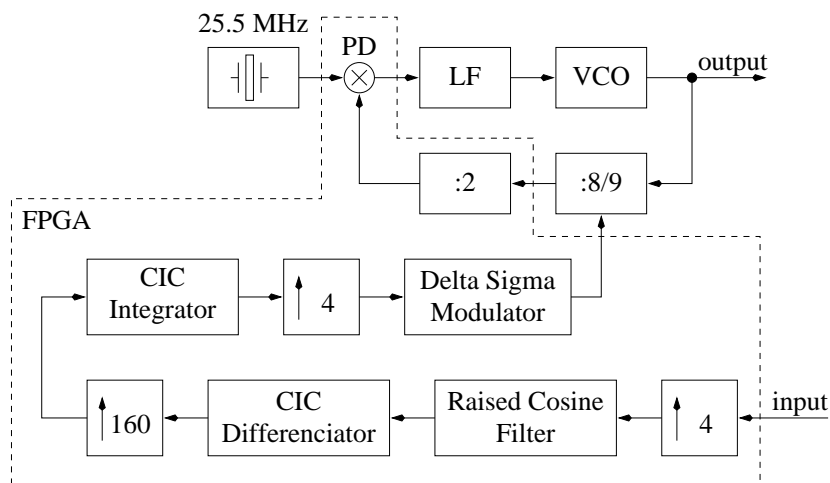


Abbildung 3: Systemarchitektur

## 2.1 Der $\Delta\Sigma$ -Modulator

Mit den angegebenen Systemparametern lässt sich ein Frequenzbereich von 408 MHz . . . 459 MHz überstreichen. Da der  $\Delta\Sigma$ -Modulator aber nur über den halben Wertebereich stabil arbeitet, reduziert sich der nutzbare Frequenzbereich auf 420.75 MHz . . . 446.25 MHz, überstreicht also noch den durch uns nutzbaren Bereich des 70cm Bandes.

Ein Hub des Modulationssignales von 3 kHz entspricht daher einem Signalpegel von  $-84.6\text{dB}$  bezogen auf den gesamten Frequenzbereich. Sollen ungewollte Artefakte mindestens  $60\text{dB}$  unterhalb des Nutzsignales liegen, bedeutet dies, dass die ungewünschten Artefakte etwa  $-150\text{dB}$  bezogen auf den vollen Aussteuerbereich nicht überschreiten sollten.

Der Dual-Modulus-Prescaler dient hier als Schnittstelle zwischen der digitalen und der analogen Domäne. Die Samplingrate ist zwar mit 25.5 MHz hoch, aber die Datenwortbreite nur 1 Bit. Der  $\Delta\Sigma$ -Modulator muss nun dafür besorgt sein, das Quantisierungsrauschen innerhalb des Durchlassbereiches des Loopfilters unter die  $-150\text{dB}$  Schwelle zu drücken.

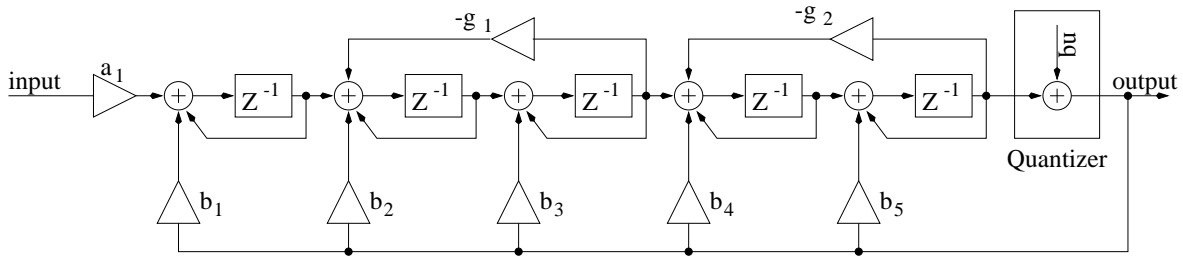


Abbildung 4:  $\Delta\Sigma$ -Modulator

Um diese hohen Anforderungen erreichen zu können ist ein  $\Delta\Sigma$ -Modulator hoher Ordnung nötig. Abbildung 4 zeigt den hier verwendeten Modulator fünfter Ordnung (siehe auch [10, p. 312]). Modulatoren der Ordnung drei oder höher sind leider nicht mehr über den ganzen Aussteuerbereich stabil, sondern nur noch etwa über die Hälfte, dafür neigen sich auch nicht zu Idle-Tones (diskreten Spektrallinien im Quantisierungsrauschen), ausserdem besitzen sie keine tote Zone um 0.

Der Quantiser liefert im Wesentlichen das Vorzeichen des Eingangssignales am Ausgang. Er wird als additive weisse Rauschquelle mit uniformer Verteilung über den Wertebereich des Quantisierungsfehlers modelliert. Der ganze Modulator besitzt daher zwei Übertragungsfunktionen, die von Interesse sind: die Signalübertragungsfunktion (STF) und die Quantisierungs-Rauschübertragungsfunktion (NTF). Trennen wir erst einmal den Loop beim Quantiser auf und betrachten die Übertragungsfunktion vom Ausgang des Quantisers zu dessen Eingang  $L(z) = \frac{L_{num}}{L_{den}}$ . Diese kann mit den üblichen Signalflussgraphenmethoden errechnet werden.

$$L(z) = \frac{b_1 + b_2(z-1) + b_3(z-1)^2 + b_4(z^2 - 2z + 1 + g_1)(z-1) + b_5(z^2 - 2z + 1 + g_1)(z-1)^2}{(z-1)(z^2 - 2z + 1 + g_1)(z^2 - 2z + 1 + g_2)} \quad (1)$$

Somit wird  $NTF = \frac{L_{den}}{L_{den} - L_{num}}$  und  $STF = \frac{a_1}{L_{den} - L_{num}}$ . Die Nullstellen der  $NTF$  sind  $z = 1$ ,  $z = 1 \pm \sqrt{g_1}i$  und  $z = 1 \pm \sqrt{g_2}i$ .

### 2.1.1 Designmethodologie

Leider gibt es keine Methode, die automatisch aus den Systemanforderungen die optimale Lösung ausgibt. Jedoch gibt es in [10] einige kochbuchartige Rezepte, wie ein stabiler Modulator-Loop höherer Ordnung entworfen werden kann.

Die CLANS-Methodologie [8] mit dem Nonlinear Constrained Optimizer SolvOpt [9] lieferte vergleichbare Ergebnisse.

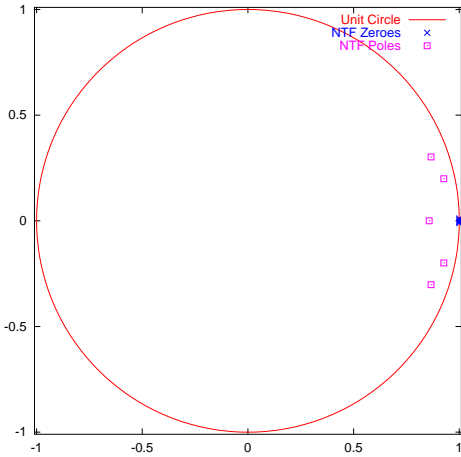


Abbildung 5: Pole und Nullstellen der NTF

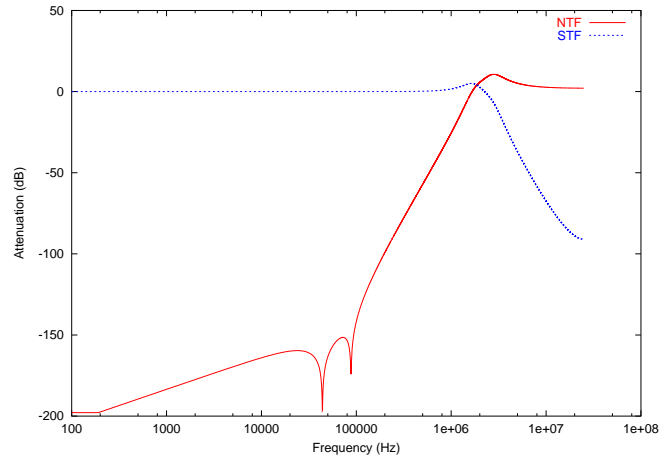


Abbildung 6: NTF und STF

$$\begin{array}{ll}
 n_{1/2} = 1 \pm 0.01692i & p_{1/2} = 0.80763 \pm 0.11927i \\
 n_{3/4} = 1 \pm 0.02846i & p_{3/4} = 0.89880 \pm 0.21865i \\
 n_5 = 1 & p_5 = 0.77891
 \end{array}$$

Tabelle 1: Pole und Nullstellen der NTF

Man beginnt mit dem Design der NTF. Ein Filter am Eingang des Modulators (falls nötig) korrigiert den Einfluss der NTF auf die STF und macht letztere im Spektralbereich des Nutzsignales flach. Zur Berechnung geeigneter Pole und Nullstellen für die NTF kann die umfangreiche Matlab-Skriptesammlung von Richard Schreier in [12] verwendet werden. Einige eigene Octave<sup>1</sup> Skripte rechneten dann die Pole und Nullstellen in die Koeffizienten der gewählten Struktur (Abbildung 4) um.

Mit der Struktur in Abbildung 4 lassen sich nur Nullstellen auf der Gerade  $\Re z = 1$  realisieren, während die Nullstellen aber zweckmäßigerweise im Durchlassbereich des Loopfilters auf dem Einheitskreis verteilt werden. Da der Oversamplingfaktor (Verhältnis Samplingrate des Modulators zur Grenzfrequenz des Loopfilters) aber sehr hoch ist und dadurch die Nullstellen nahe bei  $z = 1$  liegen, ist der Fehler, der durch Projektion der Nullstellen auf die Gerade  $\Re z = 1$  entsteht, vernachlässigbar. Um für  $g_1$  und  $g_2$  keine Multiplier einsetzen zu müssen, werden die Parameter  $g_1$  und  $g_2$  zur nächsten ganzzahligen (negativen) Zweierpotenz gerundet. Auch dieser weitere Fehler der Nullstellenposition wirkt sich nur wenig auf die NTF aus. Da das quantisierte Ausgangssignal nur ein Bit breit ist (+1 oder -1), reduzieren sich die Multiplikationen mit den Koeffizienten  $a_1$  bis  $a_5$  zu einfachen Addern/Subtraktoren, der ganze Modulator enthält damit keine Multiplikationen mehr.

Abbildung 6 zeigt die resultierende NTF und die STF. Die STF hat bereits die gewünschte Eigenschaft, nämlich einen glatten Frequenzgang im Nutzfrequenzbereich. Es ist damit kein Korrekturfilter nötig.

Eine bitgenaue C-Simulation wurde verwendet, um die Datenpfadbreiten möglichst zu verringern, ohne den Rauschteppich störend zu beeinflussen.

Eine etwas unangenehme Eigenschaft der Single-Bit-Modulatoren ist der eingangsamplitudenabhängige Gain des Quantisierers. Dies muss entweder durch eine Korrekturtabelle oder eine Korrekturformel ausgeglichen werden.

<sup>1</sup>freier Matlab-Clone

## 2.2 Der Interpolator

Der Interpolator hat zur Aufgabe, das Signal von der Signal-Samplingrate zur sehr viel höheren Modulator-Samplingrate zu konvertieren. Eine aufwandsgünstige Methode, das Interpolationsfilter zu realisieren, stellen die Cascaded Integrator Comb (CIC) Filter [5] dar. Eine Filtersektion berechnet die laufende Summe der letzten  $M$  Samples. Das Filter besteht aus  $N$  kaskadierten Sektionen. Die Übertragungsfunktion wird damit  $H(z)$  (Gleichung 2). Neben der sehr einfachen Hardwarerealisierung bieten CIC-Interpolatoren den Vorteil, den Interpolationsfaktor sehr einfach einstellen zu können (durch den Faktor  $M$ ), wobei der Frequenzgang (bezogen auf die Eingangssamplingrate) praktisch konstant bleibt.

$$H(z) = \left( \sum_{k=0}^{M-1} z^{-k} \right)^N = \left( \sum_{k=0}^{\infty} z^{-k} - z^{-M} \sum_{k=0}^{\infty} z^{-k} \right)^N = \frac{(1 - z^{-M})^N}{(1 - z^{-1})^N} \quad (2)$$

Aus der Gleichung 2 lässt sich direkt die rekursive Implementation ablesen.  $H(z)$  zerfällt in Differenziorsektionen  $1 - z^{-M}$  und Integratorsektionen  $1 - z^{-1}$ , daher auch der Name. Abbildung 7 zeigt ein Schema des CIC-Interpolators. Die Parameter hier sind  $M = 166$  und  $N = 3$ . Da der CIC-Interpolator alleine keinen genügend guten Frequenzgang liefert (*sinc*-Frequenzgang), wird dem CIC-Interpolator üblicherweise ein konventioneller Interpolator um den Faktor 4 bis 8 vorgeschaltet (hier 4). Ausserdem läuft der CIC-Integrator nur mit einem Viertel der Modulatorsamplingfrequenz. Dies spart Aufwand, und die Aliasing-Spektren werden durch die STF des  $\Delta\Sigma$ -Modulators und dem analogen Loopfilter herausgefiltert.

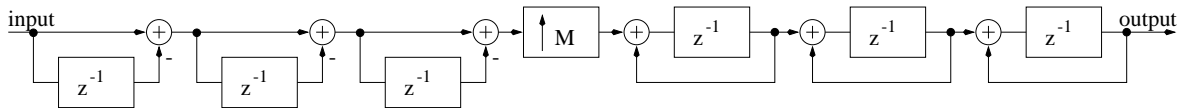


Abbildung 7: Schema des CIC-Interpolators

Da der CIC-Interpolator nur mit einem Viertel der  $\Delta\Sigma$ -Modulatorfrequenz läuft, können die drei Integratoren nur mit einem Adder berechnet werden. Daneben sind noch ein Multiplexer fürs Eingangssignal, ein Register und vor allem ein Register-File nötig, welches die "Zustandsspeicher"  $z^{-1}$  realisiert (Abbildung 9). Xilinx-Bausteine bieten Singleported RAM-Zellen, welche zwar nur einen Adressport besitzen, jedoch unabhängige Datenread- und Writeports. (Es gibt zwar auch Dualported RAMs, welche aber doppelt so viele Ressourcen belegen.) Dies passt hier ideal ins Konzept.

Die Differenziorsektion wird ins konventionelle Oversamplingfilter hineingerechnet und benötigt daher keine eigene Hardware.

## 2.3 Das Raised-Cosine Filter

Das Raised-Cosine Filter hat dieselben Aufgaben wie das Oversampling-Filter in einem üblichen G3RUH-kompatiblen Modem [16, 7]. Der Oversamplingfaktor beträgt auch hier 4, die Länge 32. Weiter sind hier aber noch die Differenziorsektionen des CIC-Integrators ins Filter hineingerechnet. Die Filterkoeffizienten sind daher punktsymmetrisch um die Mitte, dies auszunutzen lohnt sich aber in der Xilinx-Implementation nicht.

## 2.4 Simulationsdaten

Abbildung 9 zeigt eine bitgenaue Simulation des gesamten digitalen Systems. Die pseudozufälligen Eingangsbits wurden durch einen G3RUH-kompatiblen Scrambler erzeugt.

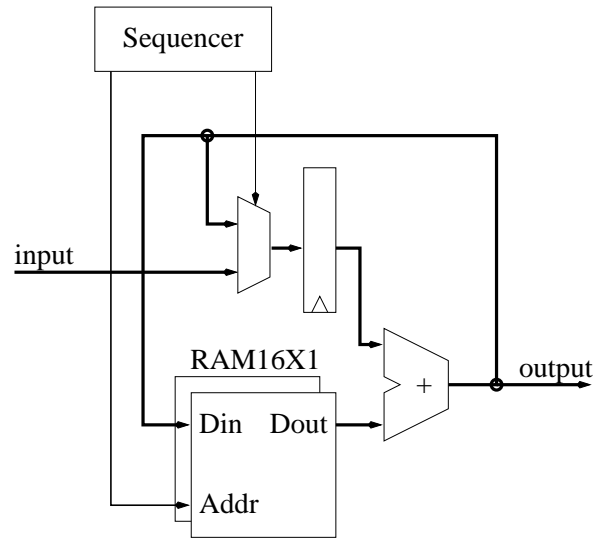


Abbildung 8: Xilinx Implementation des CIC-Integrators

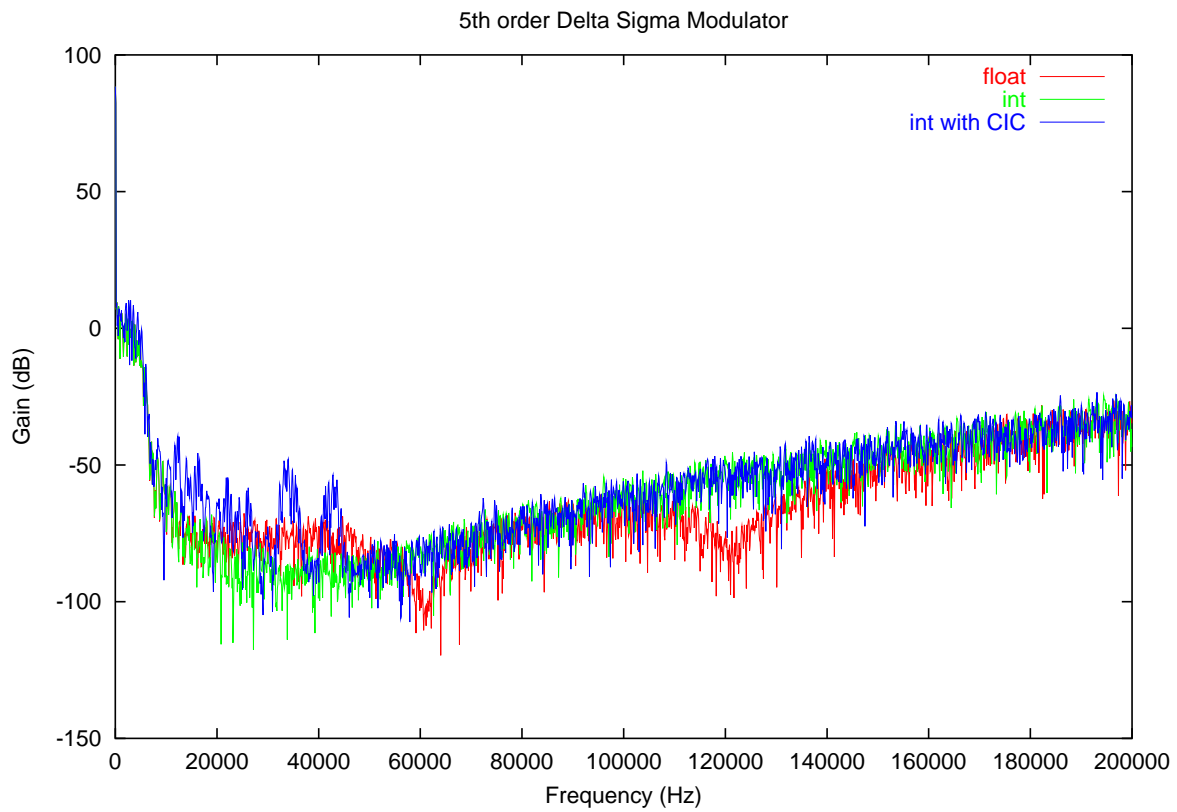


Abbildung 9: Bitgenaue  $\Delta\Sigma$ -Modulator-Simulation

### 3 Zusammenfassung

Dieser Artikel präsentierte eine neue Methode zur Generierung des Sendesignales in einem FSK-Sender. Der Analogteil konnte zulasten eines komplizierteren Digitalteils vereinfacht werden. Probleme konventioneller analoger Modulatoren (Verzerrungen des Modulationssignales durch Zweipunktmodulation, Abgleichpunkt für den Frequenzhub) konnten beseitigt werden. Der Zusatzaufwand für den Digitalteil fällt insbesondere dann recht bescheiden aus, wenn er in das Modem integriert werden kann.

Die präsentierte Schaltung wurde auf einem modifizierten EPPFLEX-Modemadapter [15, 14] implementiert und getestet. Der EPPFLEX-Adapter bietet sich dafür an, weil er über eine schnelle Anbindung zum Entwicklungsrechner verfügt. Der FPGA XCS10 musste jedoch durch einen etwas grösseren, pinkompatiblen XC4010E-4-PC84 ausgetauscht werden.

### 4 Ausblick

Um einen grösseren Frequenzbereich abdecken zu können (damit z.B. auf einen zweiten Synthesizer für den Empfänger verzichtet werden kann) und grössere Datenraten fahren zu können muss der  $\Delta\Sigma$ -Modulator unbedingt schneller betrieben werden können. In einem zeitgenössischen ASIC-Prozess wäre es absolut nicht schwierig, den Modulator mit 100MHz oder mehr zu betreiben, aber mit in kleinen Stückzahlen käuflichen Komponenten ist das schwieriger. Da es leider weder genügend breite diskrete schnelle Adder noch genügend grosse CPLD's<sup>2</sup> gibt, bleiben auf absehbare Zeit wohl nur die FPGA's. Durch den Ersatz des betagten XC4010E-4 durch einen zeitgemässen Baustein (die es leider nicht mehr im PC84-Gehäuse gibt) lässt sich aber wohl durchaus einen Faktor zwei erreichen.

Ausserdem soll untersucht werden, ob ein Quantiser mit 3 Ausgangswerten (Teilfaktoren 16, 17 und 18) den stabilen Aussteuerbereich und die Variabilität des Quantisergains verbessern kann.

Ich möchte Henning Rech, DF9IC, danken, weil er sich bereit erklärt hat, den Analogteil zu realisieren, und Alexander Kurpiers, DL8AAU, für die fruchtbaren Diskussionen und Literaturhinweise.

### Literatur

- [1] J. C. Candy and G. C. Temes. *Oversampling delta-sigma data converters – Theory, Design and Simulation*, chapter Oversampling Methods for A/D and D/A Conversion. The Institute of Electrical and Electronics Engineers, New York, 1992.
- [2] Xilinx Corporation. The programmable logic data book. <http://www.xilinx.com>.
- [3] Chris Dick and Fred Harris. High-Performance FPGA Filters Using Sigma-Delta Modulation Encoding. In *International Conference on Acoustics, Speech, and Signal Processing – ICASSP*, Phoenix, Arizona, March 15-19 1999.
- [4] Chris Dick and Fred Harris. FPGA Signal Processing Using Sigma-Delta Modulation. *IEEE Signal Processing Magazine*, Vol. 17(No. 1):pp. 20–35, January 2000.
- [5] Eugene B. Hogenauer. An economical class of digital filters for decimation and interpolation. *IEEE Transactions on Acoustics, Speech, and Signal Processing*, Vol. ASSP-29(No. 2):pp. 155–162, April 1981.
- [6] Holger Eckardt, DF2FQ. Handbuch zum 70cm-FM/FSK-Transceiver T7F, 1998.
- [7] Johannes Kneip, DG3RBU. Das FSK+-Modem mit Echoduplex. *Adacom Magazin 10*, 1997.

---

<sup>2</sup>Complex Programmable Logic Device

- [8] John G. Kenney and L. Richard Carley. *Computer Aided Design of Analog Circuits and Systems*, chapter Design of Multibit Noise-Shaping Data Converters, pages pp. 99–112. Kluwer Academic Publishers, 1993.
- [9] Alexei Kuntsevich and Franz Kappel. *SolvOpt – The Solver For Local Nonlinear Optimization Problems*. Institute for Mathematics, Karl-Franzens University of Graz, 1997.  
<http://bedvgm.kfunigraz.ac.at:8001/alex/solvopt/>.
- [10] S. R. Norsworthy, R. Schreier, and G. C. Temes. *Delta-Sigma Data Converters*. The Institute of Electrical and Electronics Engineers, Piscataway, NJ, 1997.
- [11] Thomas A. D. Riley and Miles A. Copeland. A simplified continuous phase modulator technique. *IEEE Transactions on Circuits and Systems–II: Analog and Digital Signal Processing*, Vol. 41(No. 5):pp. 321–328, May 1994.
- [12] Richard Schreier. `delsig.tar` – Matlab scripts for designing  $\Delta\Sigma$  Modulators.  
<http://www.ece.orst.edu/~schreier>.
- [13] Thomas E. Stichelbout. Delta sigma modulation in radio transmitter architecture. Master’s thesis, Aalborg University, 1999.
- [14] Thomas Sailer, HB9JNX/AE4WA and Johannes Kneip, DG3RBU. An Inexpensive PC-Modem for 76.8kBit/s User Access. In *1998 ARRL and TAPR Digital Communications Conference, Chicago, Illinois*, 1998.
- [15] Thomas Sailer, HB9JNX/AE4WA und Johannes Kneip, DG3RBU. Alternative Implementierung des EPP Adapters. In *17. Internationale Packet Radio Tagung, Darmstadt*, 1998.
- [16] Wolf-Henning Rech, DF9IC. Modernes FSK-Modem – kompatibel zum Standard nach G3RUH. *Adacom Magazin* 2, 1991.