

Ein neues universelles Aufsteckmodem für SCC-Karten/RMNC System-on-Chip

Thomas Sailer
Markusstraße 18
CH-8006 Zürich

Packet Radio: hb9jnx@hb9w.ch.eu
E-Mail: t.sailer@alumni.ethz.ch

21. März 2001

Zusammenfassung

1. Ein neues universelles Aufsteckmodem für SCC-Karten
2. RMNC System-on-Chip

Thomas Sailer, HB9JNX/AE4WA

1. Teil: Ein neues universelles Aufsteckmodem für SCC-Karten

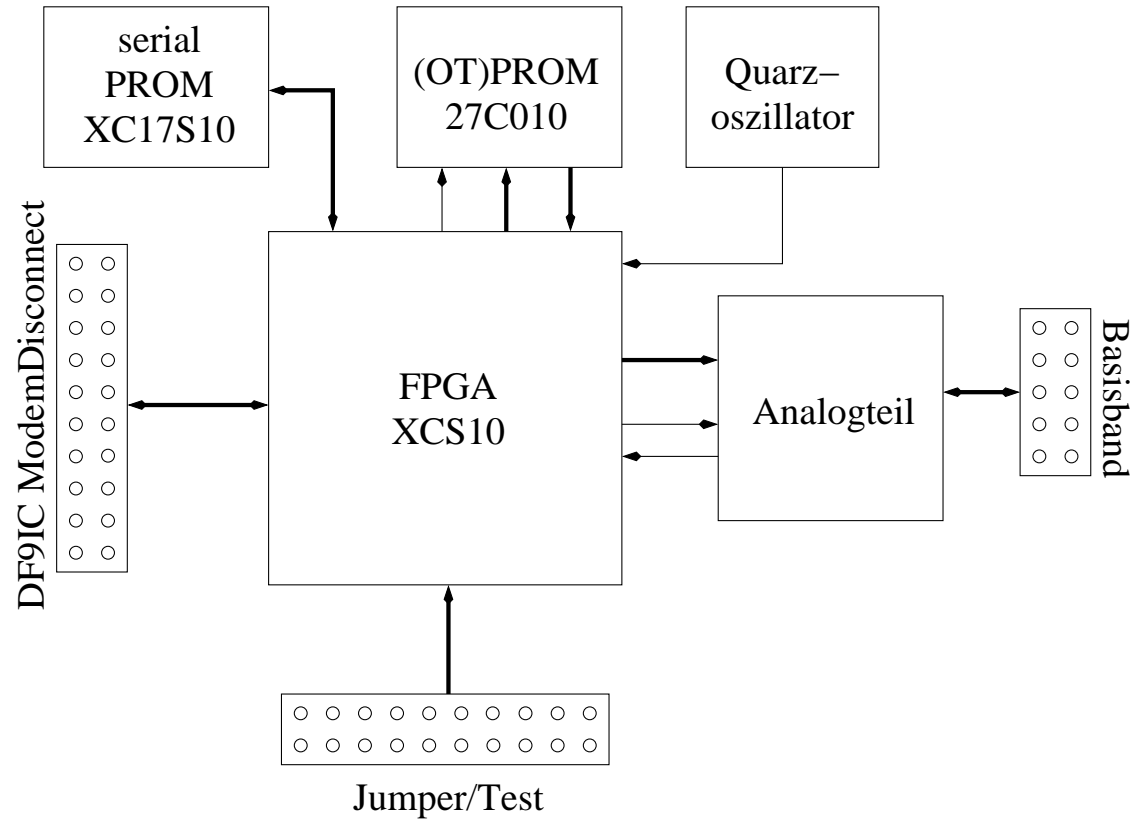
Motivation

- neue PCISCC-Karte (PR-Tagung 2000)
- AFSK und FSK Aufsteckmodems in die Jahre gekommen
 - TCM3105, ZN429 (4006?) nicht mehr hergestellt

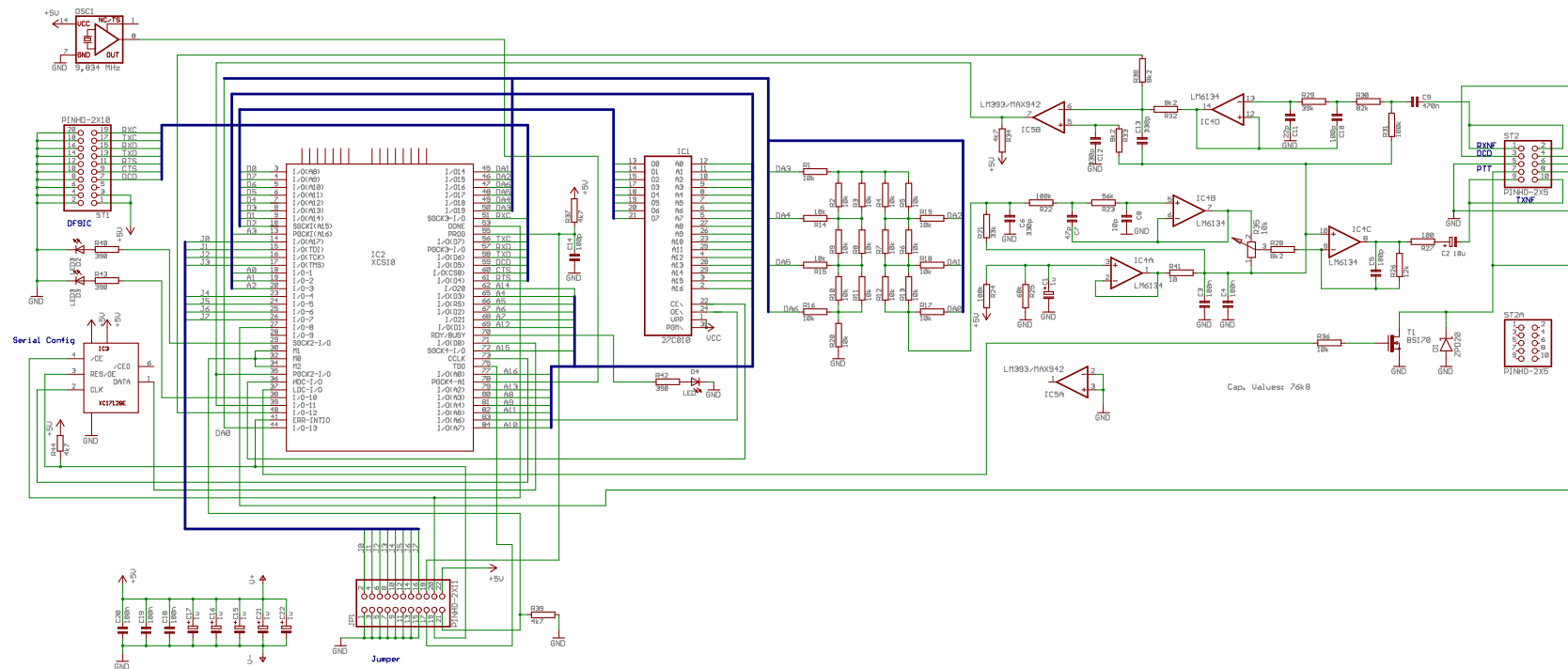
Features

- 1.2kBit/s AFSK
- 9.6kBit/s bis 8MBit/s FSK
- Echoduplex-Modus
- FEC-Modus (nach Kurpiers (DL8AAU)/Erbs)

Die Schaltung



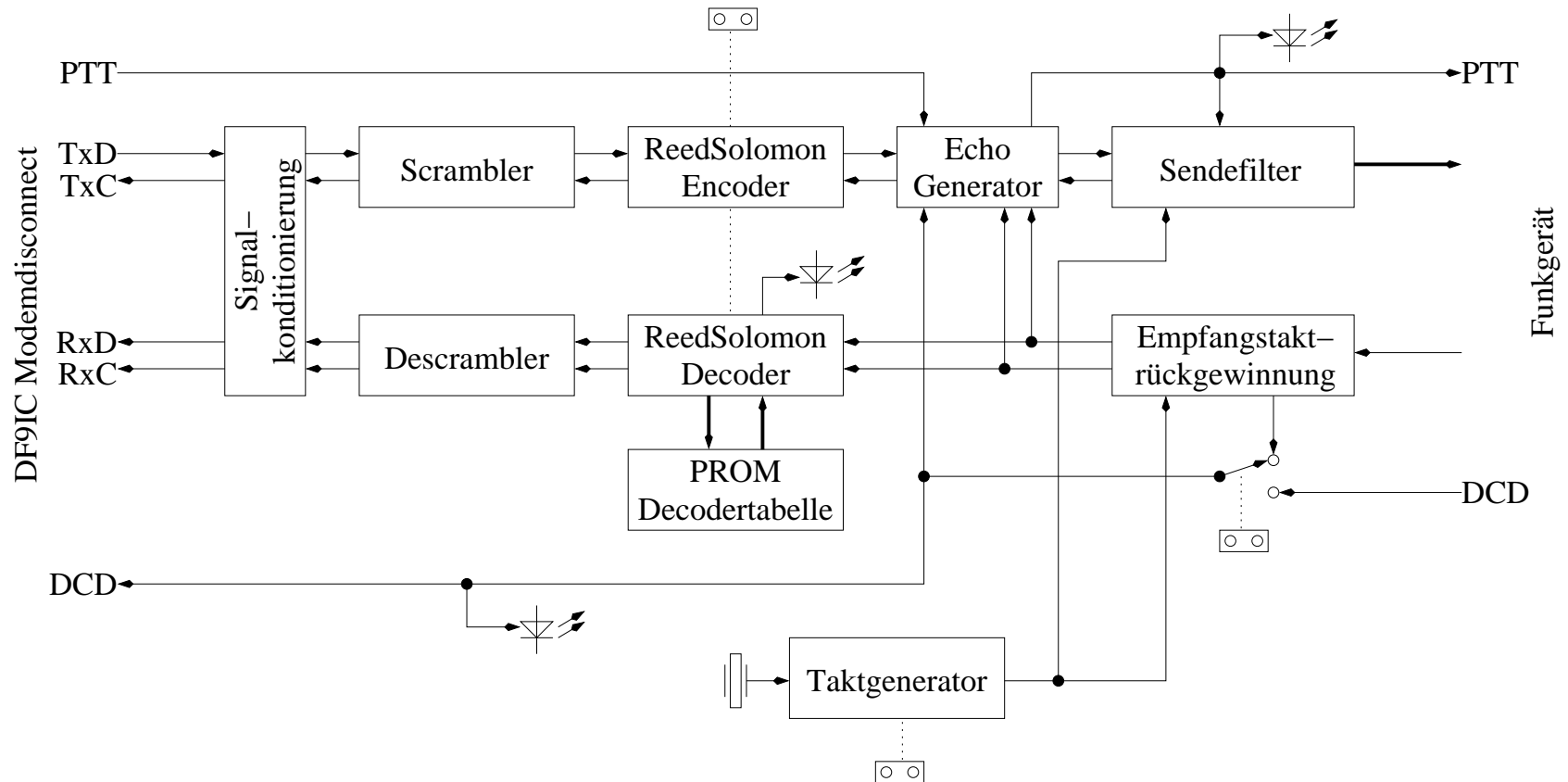
Die Schaltung (2)



Die Schaltung (3)

- Digitalteil im FPGA
 - Scrambler/Descrambler, NRZI Encoder/Decoder
 - FEC Encoder, Decoderlogik
 - Echoduplex-Schaltung
 - Sendefilter
 - Empfangstaktrückgewinnung
- Konfiguration des FPGA vom seriellen PROM
- FEC-Decodertabelle im parallelen PROM
- Analogteil wie EPPFLEX/USBFLEX Modem

Der Digitalteil



Zusammenfassung

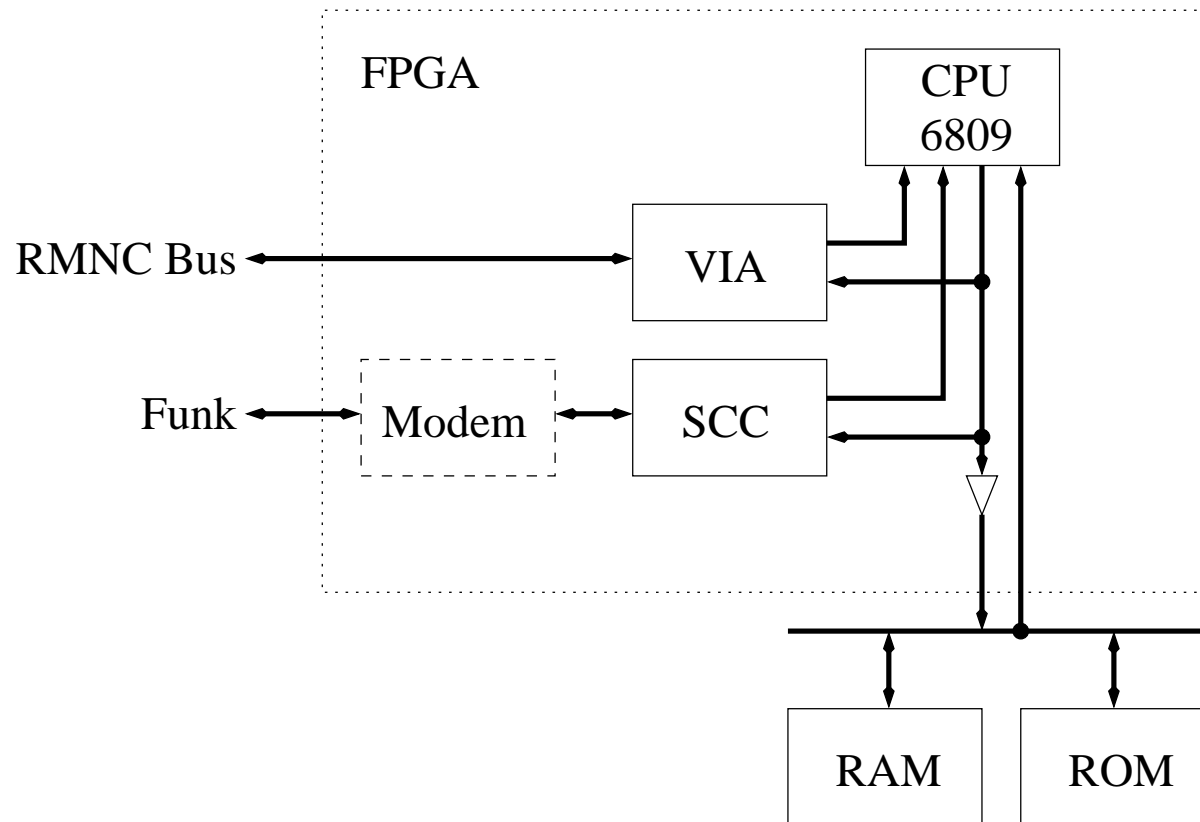
- Zeitgemässes Aufsteckmodem für SCC-Karten
 - FSK bis 8MBit/s
 - AFSK
- Echo für Echoduplex-Zugänge
- FEC-Modus für Linkstrecken mit wenig Zusatzaufwand

2. RMNC System-on-Chip

Motivation

- grosse FPGA's günstig erhältlich
 - Xilinx Spartan II XC2S150-5: 150k Gatter, 24 US\$ (Einzelstückpreis Avnet/Marshall, Feb 2001)
- neue RMNC-Karte: FPGA für Buscontroller, Modem
- CPU und HDLC-Controller auch im FPGA?
 1. 6809, 8530
 - unmodifizierte RMNC-Firmware
 2. 32bit RISC CPU
 - bessere Performance

RMNC3 Blockdiagramm

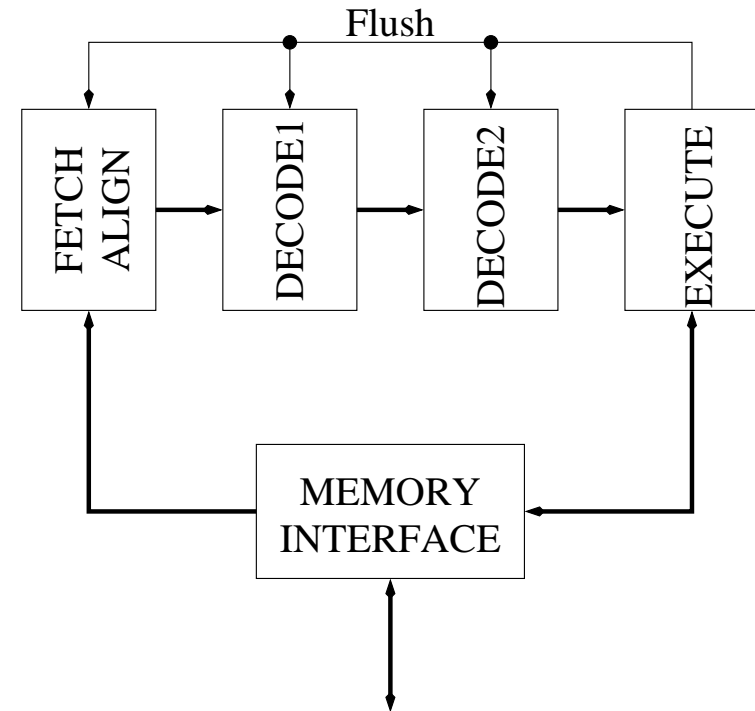


6809

- RMNC3 Softwaresimulator
- auf Geschwindigkeit getrimmt
 - nicht zyklengenau
 - Differenzen bei selbstmodifizierender Code
- 32bit Businterface
 - viele 16bit-Zugriffe in nur einem Buszyklus
- CISC → μ 68 Ops

6809: Pipeline

- vierstufige Pipeline
 1. Fetch/Align
 - Laden der Befehle
 - Bestimmen der Befehlslänge
 2. Decode 1
 - Bestimmen der $\mu 68$ Ops
 3. Decode 2
 - $\mu 68$ Op Reihenfolge
 4. Execute
 - Ausführen der $\mu 68$ Ops (1 Zyklus pro $\mu 68$ Op)



6809: Resultate

- ~1000 CLB slices (XC2S150: 1728 CLB slices)
- 25 MHz

32bit RISC CPU

- ähnlich Hitachi SuperH
- 16bit Befehle, 32bit Daten
- 2kByte 2 Wegeassoziativer Cache

Resultate

- ~1000 CLB slices (XC2S150: 1728 CLB slices)
- 24 MHz

Zusammenfassung

- RMNC SoC möglich mit modernen FPGA
- Migrationsstrategie: RMNC3 Softwarekompatibel → 32bit RISC CPU
- “auf der Moore-Kurve reiten”