

EPPFLEX – ein universeller Modemadapter für den EPP-Port

Thomas Sailer, HB9JNX/AE4WA, und Johannes Kneip, DG3RBU

1 Einleitung

Die Wurzeln des vorliegenden Modem-Designs liegen schon über 2 Jahre zurück. Damals entstand das Konzept der Highspeed-Userzugänge im 70cm-Band, die mit 76.8kBit/s arbeiten. Mit den dafür vorgesehenen Transceiver-Baugruppen [5] entstand dann auch der Bedarf für dazu passende, kostengünstige Modems.

Primäres Designziel war Einfachheit. Man wollte deshalb bei den bewährten Technologien wie FM-Transceiver und G3RUH-Modulationsformat, wie sie schon erfolgreich auf 9k6-38k4 Userzugängen und Linkstrecken eingesetzt werden, bleiben, und diese einfach auf 76k8 skalieren. Messungen haben nun gezeigt, daß ein halbwegs moderner PC der Pentium-Klasse einen HDLC-Datenstrom von einigen 100kBit/s mit minimalem Aufwand an Rechenleistung decodieren kann, sodaß auf HDLC-Hardware verzichtet werden kann. Da der PC die Daten aber blockweise verarbeitet, muss das Modem einige 100ms Daten zwischenspeichern können. Bleibt noch die Wahl der Schnittstelle am PC. Der serielle Port scheidet aufgrund seiner niedrigen Datenrate aus. Der Enhanced Parallel Port (EPP) bietet sich jedoch an, da er die nötige Bandbreite locker verkraftet, seit einigen Jahren in jedem PC vorhanden ist (auch Laptops!) und einfach angesteuert werden kann. Ausserdem gibt es Schnittstellenkarten, mit denen EPP-Ports nachgerüstet werden können.

Ein erstes Design wurde in [3] vorgestellt. Es bestand aus einigen Standardlogikbausteinen und zwei FIFO-Bausteinen, die das Herzstück bilden. Über eine Modem-Disconnect-Schnittstelle konnte ein handelsübliches FSK-Modem [2, 1] angeschlossen werden. Leider wurden jedoch die FIFO-Bausteine immer teurer, auch schlägt das externe FSK-Modem noch extra zu Buche. Ausserdem hat Xilinx [9] eine Low-Cost Familie feldprogrammierbarer Logikbausteine (FPGA) auf den Markt gebracht, so daß sich ein Redesign anbot.

Ein solches Redesign wurde letztes Jahr in diesem Forum vorgestellt [4]. Dieses Design ist im FSK-Modus weitgehend softwarekompatibel zum alten EPP-Adapter, bietet ein eingebautes FSK-Modem, das jedoch auch abgeschaltet werden kann und durch ein externes Modem an der Modem-Disconnect-Schnittstelle ersetzt werden. Ausserdem bietet das EPP-Modem noch einen erweiterten EPP-Modus, der einige Probleme des alten EPP-Adapters beseitigt.

Seit dem letztjährigen Artikel [4] haben sich noch einige Änderungen ergeben. Zum einen wurde das Parallelportinterface elektrisch robuster gemacht, zum andern bietet der Modemadapter jetzt noch einen 1200 Baud AFSK Modus. Das Design hat eine weitere Prototypengeneration durchlaufen und liegt nun in der Produktionsversion vor. Es kann jetzt bei Baycom [11] bezogen werden.

2 Die Schaltung

Abbildung 1 zeigt das Schaltbild des Modemadapters. Der Analogteil rund um den Vierfach-Operationsverstärker LM6134 und den Komparator LM393 entspricht weitgehend demjenigen des FSK+-Modems [1]. Die Filterkondensatoren müssen entsprechend der gewünschten Bitrate skaliert werden¹. Das statische 32k×8 RAM dient der Zwischenspeicherung der Daten, der ganze Rest der Logik befindet sich im

¹Das Schaltbild zeigt die Bestückung für 9k6

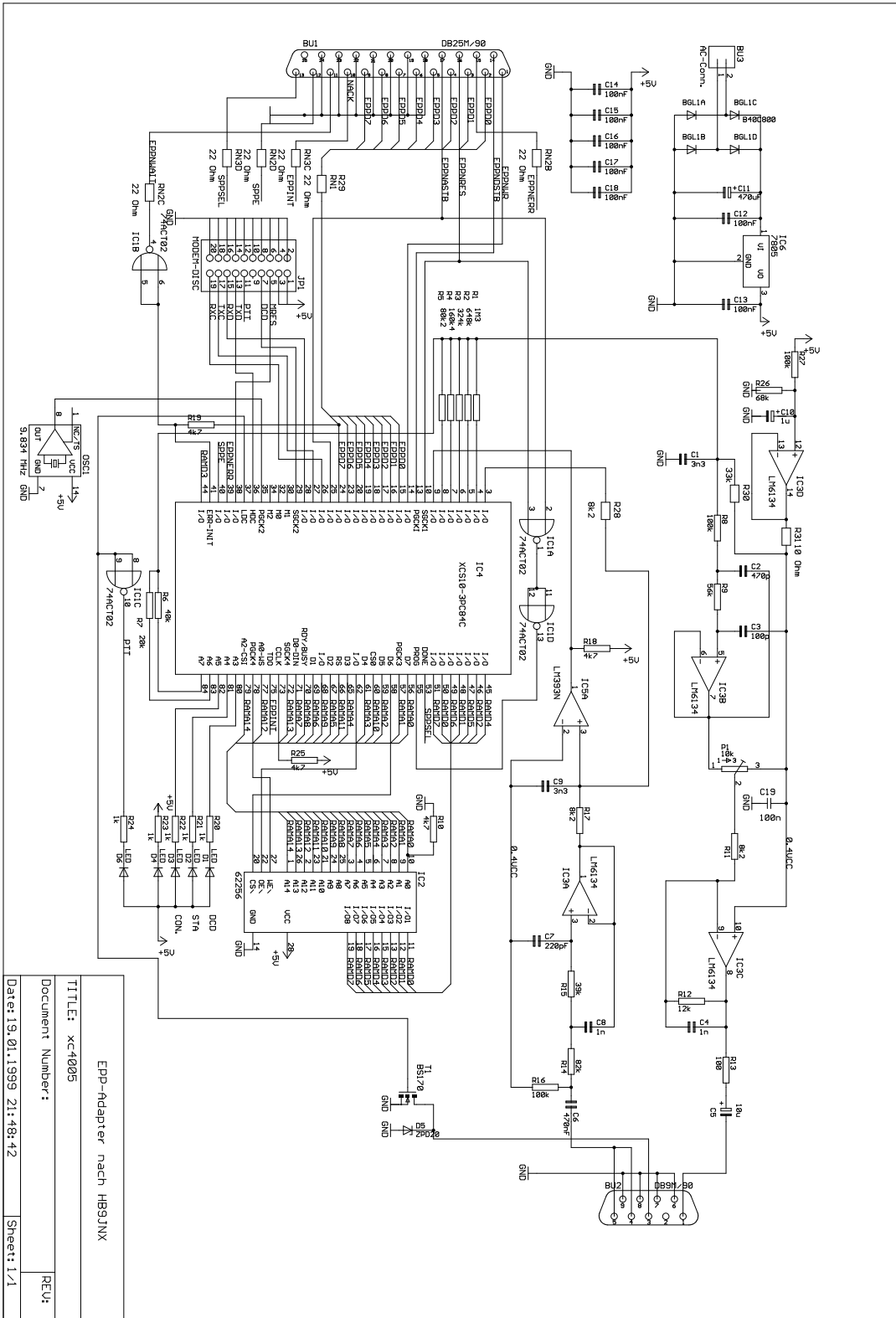


Abbildung 1: Schaltbild des Modemadapters

EPP-Adapter nach HB3JNX
 TITLE: XC4005
 Document Number: REF: U:
 Date: 19.01.1999 21:48:42 Sheet: 1/1

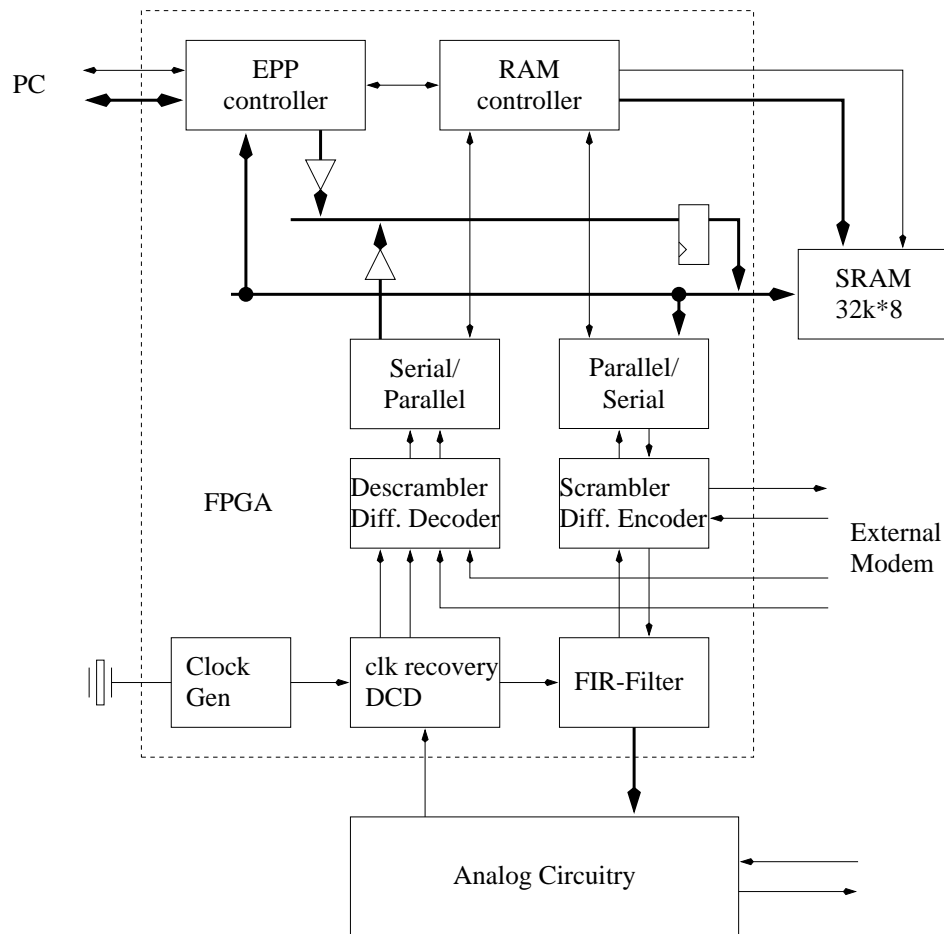


Abbildung 2: Schaltungsdiagramm

FPGA. Die maximale Taktfrequenz des FPGA beträgt 20 MHz². Da das FPGA seine Konfiguration in internen SRAM-Speicherzellen speichert, geht die Konfiguration beim Ausschalten des Modems verloren und muss beim Einschalten neu geladen werden. Die NOR-Gatter sorgen dafür, damit dies über den Parallelport direkt aus dem PC erfolgen kann. Dies kann mit einem separaten Programm geschehen. Der FlexNet- und der Linuxtreiber wurden jedoch um diese Funktionalität erweitert, so daß dem Anwender keine Unannehmlichkeiten entstehen.

Abbildung 2 zeigt schematisch die FPGA-Schaltung für den FSK-Modus. Es soll hier nicht weiter darauf eingegangen werden, da dies Gegenstand eines früheren Artikels [6] war und sich seither nichts mehr geändert hat.

3 Das 1200 Baud AFSK-Modem

Neben dem hier präsentierten Design existieren noch andere FSK-Modem-Schaltungen, die anstelle von festprogrammierter Logik feldprogrammierbare Logikbausteine (FPGA's [10, 9]) verwenden, zum Beispiel [7].

²bei Bestückung mit einem XCS10-3

Der Analogteil dieser Modems wurde allerdings für FSK entwickelt und ist ungeeignet für die nachfolgende AFSK-Demodulation, sodaß die Performance zu wünschen übrig lässt. Dieses Kapitel beschreibt nun, wie mit einer einfachen Modifikation des Analogteils die AFSK-Performance drastisch gesteigert werden kann.

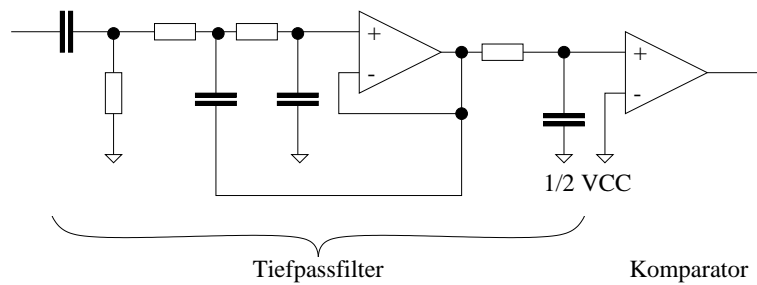


Abbildung 3: Standard-FSK-Empfänger-Analogteil

3.1 Modifikation des Analog-Teils für das AFSK-Modem

Abbildung 3 zeigt das Schema des Standard-Analogteils des Empfangsteils eines FSK-Modems. Der Komparator dient im FSK-Fall als Slicer, im AFSK-Fall jedoch als 1Bit-A/D-Wandler. Nun beträgt das Signal-Fehlerrisikoverhältnis eines B -Bit-A/D Wandlers $(6B + 1.25) \text{ dB}$. Diese Formel basiert allerdings auf der Annahme, dass der Quantisierungsfehler zweier Samples unkorreliert ist, was gerade bei 1Bit-Wandlern nur schlecht erfüllt ist (z.B. Signal mit DC-Offset). Das Resultat ist, daß der AFSK-Demodulator mit einer sehr unvollständigen Digitalisierung des Eingangssignales arbeiten muss, worunter die Robustheit des Demodulators massiv leidet.

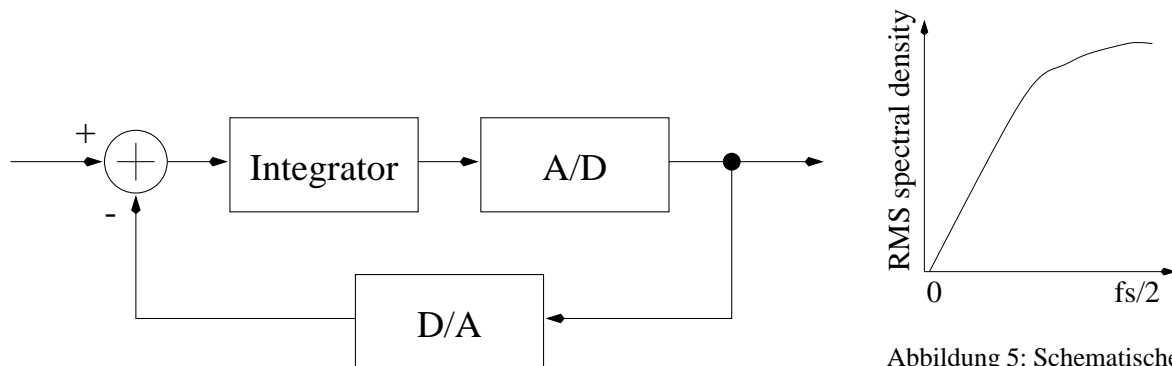


Abbildung 4: $\Delta\Sigma$ -A/D-Wandler Schema [8]

Abbildung 5: Schematische Darstellung des Quantisierungsrauschens

3.1.1 $\Delta\Sigma$ -A/D-Wandler

$\Delta\Sigma$ -Wandler erfreuen sich derzeit grosser Beliebtheit, auch in Audio A/D- und D/A-Wandlern, weil sie es erlauben, mit unpräzisen Analogkomponenten gute Wandler zu bauen. Abbildung 4 zeigt schematisch einen $\Delta\Sigma$ -A/D-Wandler. Der A/D- und der D/A-Wandler braucht keine hohe Präzision aufzuweisen, sie sind oft als 1Bit-Wandler ausgeführt. 1Bit-Wandler besitzen prinzipiell keinen Linearitätsfehler (eine Gerade lässt sich immer durch zwei Punkte legen). Wichtig ist nur, daß sie sehr schnell arbeiten. Das Verhältnis Abtastfrequenz des A/D-Wandlers zu maximal auftretender Signalfrequenz wird als Oversamplingratio bezeichnet.

3.1 Modifikation des Analog-Teils für das AFSK-Modem

Die Aufgabe des Integrators ist es, das Spektrum des Quantisierungsrauschens zu verändern. Anstelle eines flachen Spektrums resultiert eine Abschwächung des Rauschens bei niedrigen Frequenzen und eine Verstärkung des Rauschens bei hohen Frequenzen. Abbildung 5 zeigt schematisch das resultierende Quantisierungsrauschspektrum. Da jedoch nur die tiefen Signalanteile interessieren, kann das hochfrequente Quantisierungsrauschen mit einem digitalen Tiefpassfilter nach dem A/D-Wandler entfernt werden. Dieses Digitalfilter reduziert auch die Samplingrate wieder, um die nachfolgende digitale Verarbeitung zu vereinfachen. Es resultiert ein Gewinn von 9dB oder 1.5Bits pro Verdopplung des Oversamplingratio (bei einem first order loop [8]).

Vergleicht man nun das Schema eines $\Delta\Sigma$ -A/D-Wandlers (Abbildung 4) mit dem Schaltplan des Analogteils eines FSK-Modems (Abbildung 3), so fällt auf, daß die meisten für den $\Delta\Sigma$ -Wandler benötigten Baugruppen bereits vorhanden sind. Als 1Bit-A/D-Wandler lässt sich der Komparator verwenden, und als Integrator kann der Kondensator vor dem Komparator verwendet werden. Das durch den OpAmp und einige passiven Komponenten gebildete Tiefpassfilter lässt die Frequenzanteile, die für AFSK von Interesse sind, durch und stört somit nicht. Es fehlt lediglich noch der Feedback-Teil mit dem 1Bit-D/A-Wandler. Dieser kann jedoch sehr einfach mit einem FPGA-Ausgang und einem Widerstand nachgerüstet werden (Abbildung 6). Im FSK-Fall kann der FPGA-Ausgang hochohmig programmiert werden und stört somit nicht.

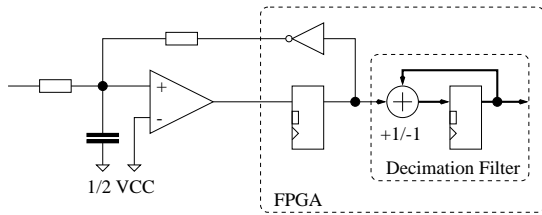


Abbildung 6: $\Delta\Sigma$ -A/D-Wandler

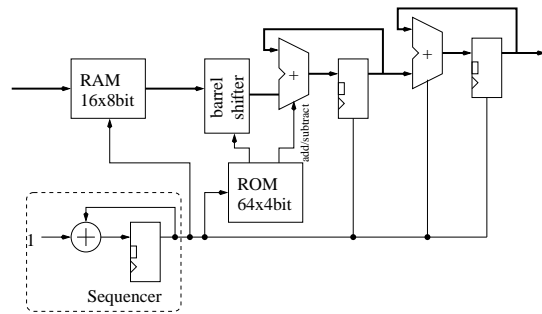


Abbildung 7: AFSK-Demodulator

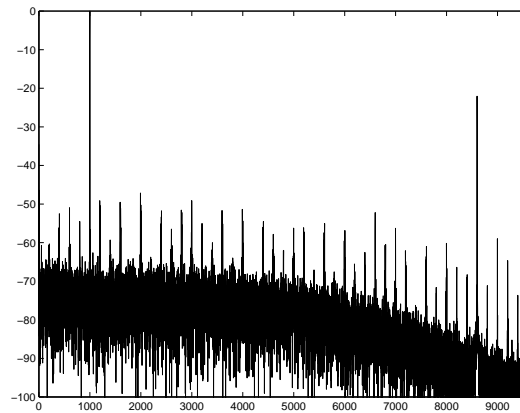


Abbildung 8: "Loopbackspektrum"

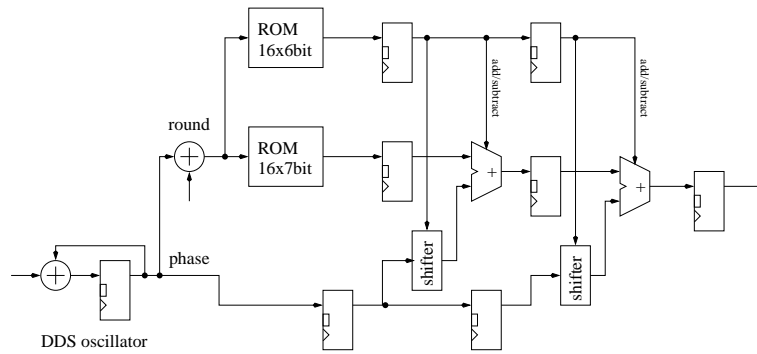


Abbildung 9: AFSK-Modulator

3.2 Die AFSK-Modemschaltung

3.2.1 Der $\Delta\Sigma$ -A/D-Wandler

Abbildung 6 zeigt das schematische Schaltbild des A/D-Wandlers. Das digitale Tiefpassfilter ist als "integrate and dump" bzw. "Boxcar-Filter" realisiert. Dieses Filter besitzt zwar einige starke Nebenkeulen im Sperrbereich, diese stören aber kaum und es ist sehr einfach zu implementieren. Abbildung 8 zeigt das digitale Loopback-Spektrum der Schaltung. Das A/D-Wandlersignal wurde (nach dem Tiefpassfilter) auf den D/A-Wandler des Senderteils gegeben. Am Eingang der Schaltung lag ein 1kHz-Sinussignal an, das Ausgangssignal wurde mit einem 16Bit-48kSamples/s-A/D-Wandler gemessen und mit einer 2^{16} Punkt-FFT dargestellt.

3.3 Der Demodulator

Dieser Block (Abbildung 7) rechnet im Wesentlichen vier FIR-Filter. Eine Simulation hat gezeigt, daß das Verfahren sehr unempfindlich auf Quantisierungsfehler der Koeffizienten reagiert. Die Koeffizienten wurden deshalb als Fließkommazahl mit einer 1Bit-Mantisse kodiert, wodurch der Multiplizierer durch einen Barrel-shifter ersetzt werden kann.

3.4 Der Sender

Der Sender (Abbildung 9) implementiert einen Sinusgenerator. Da mit einem FPGA nur ROMs mit wenigen Adressleitungen effizient realisiert werden können, ist die Schwierigkeit hier, einen möglichst guten Sinus nur mit kleinen Tabellen zu erzeugen. Die Schaltung approximiert $\sin(x + \Delta x) \approx \sin x + \Delta x \cos x$.


4 Zusammenfassung

Der hier vorgestellte EPP-Modemadapter deckt einen weiten Einsatzbereich vom "Einsteiger" (1200 Baud AFSK) bis zum "Poweruser" (mehrere 100k Baud FSK) ab. Ein FlexNet-Treiber für DOS und Windows 9x und ein Linuxtreiber³ sind vorhanden und können von der Baycom-Webseite [11] heruntergeladen werden. Bausätze und Fertiggeräte des Modemadapters sind ebenfalls bei Baycom erhältlich.

Der Schwerpunkt dieses Artikel liegt beim AFSK-Modem. Insbesondere wurde gezeigt, wie mit einer einfachen Erweiterung (ein zusätzlicher Widerstand) des eigentlich für ein FSK-Modem ausgelegten Analogteils ein AFSK-Modem implementiert werden kann, das den einschlägig bekannten Modems in punkto Robustheit nicht nachsteht.

³Der Linuxtreiber untersteht der GNU General Public License (GPL), d.h. der Sourcecode ist verfügbar

Literatur

- [1] Johannes Kneip, DG3RBU, *Das FSK+-Modem mit Echoduplex*, Adacom Magazin 10, 1997
- [2] Wolf-Henning Rech, DF9IC, *Modernes FSK-Modem – kompatibel zum Standard nach G3RUH*, Adacom Magazin 2, 1991
- [3] Wolf-Henning Rech, DF9IC, Johannes Kneip, DG3RBU, Gunter Jost, DK7WJ, und Thomas Sailer, HB9JNX, *Ein Modemadapter für den EPP*, 41. Weinheimer UKW-Tagung, Skriptum, 1996
- [4] Thomas Sailer, HB9JNX/AE4WA, und Johannes Kneip, DG3RBU, *Alternative Implementierung des EPP Adapters*, 17. Internationale Packet Radio Tagung, Darmstadt, 1998
- [5] Martin Liebeck, DL2ZBN, und Alexander Kurpiers, DL8AAU, *Hochgeschwindigkeits-Packet-Radio – Baugruppen für das 70cm Band*, Adacom Magazin 10, 1997
- [6] Thomas Sailer, HB9JNX/AE4WA, and Johannes Kneip, DG3RBU, *An Inexpensive PC-Modem for 76.8kBit/s User Access*, 1998 ARRL and TAPR Digital Communications Conference, Chicago, Illinois
- [7] Nico Palermo, IV3NWV, *Yet Another 9k6 Modem*
<http://jupiter.web-hosting.com/~nicopal/yam/>
- [8] James C. Candy and Gabor C. Temes (ed.), *Oversampling delta-sigma data converters*, The Institute of Electrical and Electronics Engineers, New York, 1992
- [9] Xilinx Corporation *The Programmable Logic Data Book*
<http://www.xilinx.com>
- [10] Altera Corporation *1998 Data Book*
<http://www.altera.com>
- [11] Baycom  Hard- und Software GmbH, Bert-Brecht-Weg 28, D-30890 Barsinghausen, phone ++49 (5105) 585 050, fax ++49 (5105) 585 060, <http://www.baycom.org/>,
Email: baycom@baycom.org